

Patent



IFW

Customer No. 31561
Application No.: 10/709,308
Docket No. 12221-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hsieh
Application No. : 10/709,308
Filed : Apr. 28, 2004
For : SILICON STORAGE APPARATUS, CONTROLLER AND
DATA TRANSMISSION METHOD THEREOF
Examiner : N/A
Art Unit : 2186

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92134969,
filed on: 2003/12/11.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 2, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

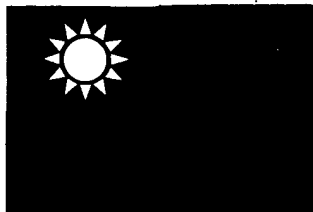
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 12 月 11 日
Application Date

申請案號：092134969
Application No.

申請人：萬國電腦股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 5 月 日
Issue Date

發文字號：09320392990
Serial No.

BEST AVAILABLE COPY

申請日期：

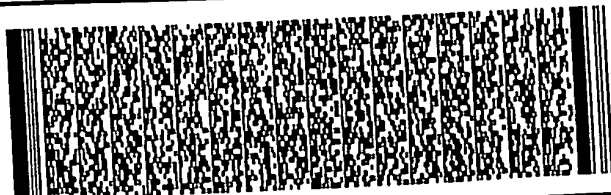
IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	矽儲存裝置及其中之控制器與資料傳輸方法
	英 文	Non-Volatile Storage Device and Controller and Data Transaction Method Thereof
二、 發明人 (共1人)	姓 名 (中文)	1. 謝祥安
	姓 名 (英文)	1. HSIEH, HSIANG AN
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市寶興路45巷1號5樓
	住居所 (英 文)	1. 5F., NO.1, LANE 45, BAOSING RD., SINDIAN CITY, TAIPEI COUNTY 231, TAIWAN (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 萬國電腦股份有限公司
	名稱或 姓 名 (英文)	1. CARRY COMPUTER ENG. CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市寶興路45巷1號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 5F., NO.1, LANE 45, BAOSING RD., SINDIAN CITY, TAIPEI COUNTY 231, TAIWAN (R.O.C.)
	代表人 (中文)	1. 劉文聰
	代表人 (英文)	1. LIU, WEN TSUNG



12221.tif pid

四、中文發明摘要 (發明名稱：矽儲存裝置及其中之控制器與資料傳輸方法)

一種矽儲存裝置及其中之控制器與資料傳輸方法。此儲存裝置包括固態儲存媒體與控制器，此控制器更包括系統介面、記憶體介面、微處理器、快取緩衝區、配置表緩衝區以及傳輸緩衝區。其中，藉由快取緩衝區與配置表緩衝區的互相搭配，可預先儲存固態儲存媒體中尚未被系統端指定讀取的資料，以提高快取命中率，並藉此減少微處理器搜尋固態儲存媒體的次數以提高傳輸執行效能。

五、(一)、本案代表圖為：第___2___圖

(二)、本案代表圖之元件代表符號簡單說明：

150 外部系統端

200 矽儲存裝置

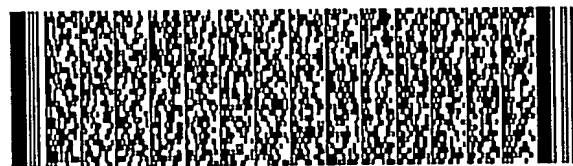
210 控制器

212 系統介面

214 微處理器

六、英文發明摘要 (發明名稱：Non-Volatile Storage Device and Controller and Data Transaction Method Thereof)

A non-volatile storage device and controller and data transaction method thereof is provided. The storage device includes a storage medium and the controller. The controller includes a memory interface, system interface, microprocessor, cache buffer, allocation table buffer and transaction buffer. The data transaction method prefetches and stores data in the cache buffer and transaction



四、中文發明摘要 (發明名稱：矽儲存裝置及其中之控制器與資料傳輸方法)

216 記憶體介面

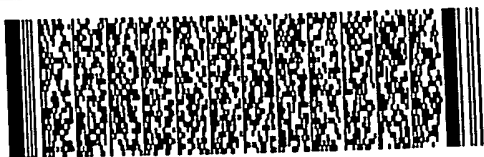
218 傳輸緩衝區

220 快取緩衝區

230 固態儲存媒體

六、英文發明摘要 (發明名稱：Non-Volatile Storage Device and Controller and Data Transaction Method Thereof)

buffer. By referring to a data accessing address table stored in the allocation table buffer, cache hit rate and data transaction rate can be improved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

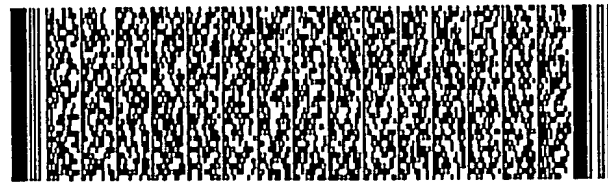
本發明是有關於一種矽儲存裝置，且特別是有關於一種矽儲存裝置及其控制器與資料傳輸方法。

先前技術

由於資訊科技的不斷進步，利用半導體技術所開發出來之矽儲存媒體大致上可分為快閃記憶卡以及隨身碟等兩大類，其與傳統的軟式磁碟片、光碟片等習知儲存媒體相較，無論在攜帶的便利性、省電、資料保存、資料傳輸速率、重覆讀寫、以及防震、防潮等功能特性的表現上，都遠超越上述兩種習知儲存媒體甚多，也使得快閃記憶卡以及隨身碟逐漸取代習知儲存媒體而躍升成為主流的儲存裝置。

其中這些快閃記憶卡或隨身碟型態之矽儲存裝置，其主要不外乎是由控制器及固態儲存媒體所構成。請參考第1圖，其繪示習知矽儲存裝置之功能方塊圖，此矽儲存裝置100包括控制器110及固態儲存媒體120，其中控制器110至少包括具有與外部系統端150連接的系統介面112、處理系統指令之微處理器114以及與固態儲存媒體120溝通之記憶體介面116。使之可由系統端150將待儲存資料寫入此固態儲存媒體120或自此固態儲存媒體120讀取所需的已儲存資料。

然而，隨著科技的進步，目前系統端150在執行傳輸的效率上出現了大幅提升，造成系統端150與儲存裝置100在資料傳輸速度上的差異程度日益加劇，因此在系統端

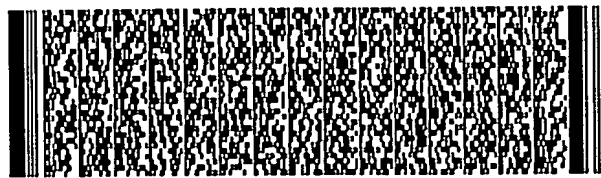


五、發明說明 (2)

150對儲存裝置100進行資料存取時，常因雙方之傳輸效率差異過大而使得系統端150必須耗費相當多的等待時間，終至出現傳輸緩慢的狀況。舉例來說，當系統在讀取的狀態下，系統端150等待的時間係包括儲存媒體120的資料搜尋時間 (Seek Time) 以及經由系統介面112的資料上傳時間 (Upload Time)；而當系統在寫入狀態下，系統端150必須等待的時間則包括有經由系統介面112的資料載入時間 (Download Time) 以及儲存媒體120的更新時間 (Update Time，包括程式化時間 (Programming Time) 與抹除時間 (Erasing Time)) 等。

為改善系統端150與儲存裝置100間因傳輸速度的不對稱而造成系統端150在存取時所衍生的等待資料搜尋時間 (Seek Time) 與更新時間 (Update Time) 過長的問題，目前所採取的方式是在系統介面150與記憶體介面116間配置傳輸緩衝區118，用來暫存系統端150存取指令所需要的資料，俾使系統端150在讀取狀態下，不需一邊讀取資料一邊等待微處理器114搜尋下一個位於固態儲存媒體120中磁區資料的時間。

另外在系統端150寫入狀態中，由於傳輸緩衝區118的存取速度高於固態儲存媒體120，可先行快速反應系統端150的寫入需求，而將系統端150待存取的資料暫存於其中，藉此以縮短系統端150等待儲存裝置100的反應時間。此外，目前提升儲存裝置100與系統端150介面間存取速度的方式係強化系統介面150的傳輸速度，以USB隨身碟為

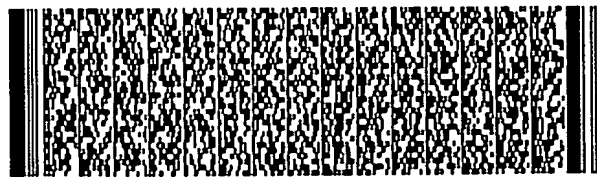
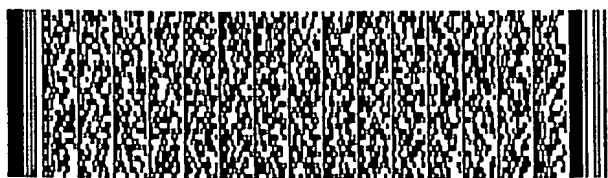


五、發明說明 (3)

例，其USB介面係由早期的1.1版12Mbps傳輸速度，升級為目前2.0版的480Mbps者，藉此予以同步系統端150與儲存裝置100間的資料傳輸速度，以節省系統端150在讀取時的資料上傳（Upload）與在寫入時的資料載入（Download）等待時間。

雖然，目前儲存裝置100已經藉由傳輸緩衝區118的設置與系統介面150的強化而縮短系統端150進行存取時所需耗費的等待時間，進而改善系統端150與儲存裝置100間的傳輸速度，但由實際測試可知，其仍無法達到預期的執行效能，因為所增設的傳輸緩衝區118本身並無法單獨具備同步進行輸入與輸出的作業，使得預期原本想藉由增設傳輸緩衝區118予以節省系統端150等待時間，卻反而增加了儲存裝置100的資料緩衝時間（Buffer Time）。換句話說，儲存裝置100在執行存取作業時，內部會額外增加一段執行時間，此段執行時間係起因於傳輸緩衝區118需完整接收資料才得以將資料輸出的關係。雖然系統端150可如同儲存裝置100在執行搜尋或更新作業時一般，無需等待緩衝作業的進行而可執行其他作業，但仍無法改變儲存裝置100內部因增設傳輸緩衝區118而需額外緩衝時間的事實。

為此，目前即有在系統介面112與記憶體介面116之間配置有兩個可同步進行輸出入作業的傳輸緩衝區設計，使第一個傳輸緩衝區在進行接收程序時，另一個傳輸緩衝區可執行傳送作業，藉此使儲存裝置100在執行時間上無需

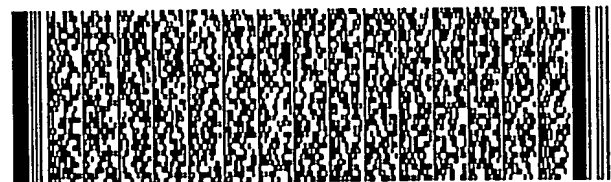
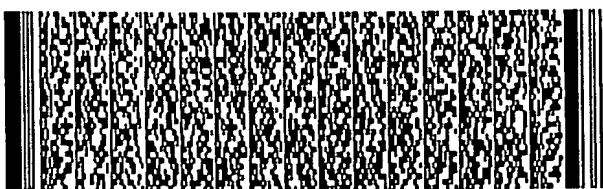


五、發明說明 (4)

計入額外增加的緩衝時間。

雖然儲存裝置100能依據上述增設兩傳輸緩衝區而可同時達到縮短系統端150的等待時間以及消除因新增緩衝區所產生的緩衝時間，但因傳輸緩衝區118僅能依據系統端150的讀取指令而暫存指令所指定的讀取資料，所以增設傳輸緩衝區118僅能略為縮短系統端150對儲存裝置100資料存取的時間，卻無法使儲存裝置100內免除或減少資料搜尋的必要性。換句話說，在此種裝置中，並無法大量或有效的縮短儲存裝置100所需的內部資料存取緩衝時間。

除此之外，因目前所採用的傳輸緩衝區118的儲存容量都很小，相對於系統端150以叢集(Cluster，至少有4K位元組，包含8個以上的單位磁區(Sector))為檔案存取單位而言，其僅能容納一個單位磁區(Sector; 512Bytes)或兩個單位磁區(1024Bytes)的資料，並無法真正滿足系統端150的單位存取需求量。亦即，當系統端150欲讀寫一筆叢集資料時，儲存裝置100必須執行N次的讀寫程序，也就是說，即使固態儲存媒體120的儲存容量相當大，甚至大到可存放至以十億位元組為記量單位的檔案資料，但儲存裝置100每次在系統端112下達讀取指令時，亦只能回應1K~2K的資料量。在現今資料量日亦龐大，動輒數百萬位元組的時代，系統端150要下達多次的讀取指令才能將欲讀取的檔案資料自儲存裝置讀取出，此不僅造成儲存裝置中斷系統端的頻率變高，也使得整體的



五、發明說明 (5)

讀取次數相對增多。

同樣的問題亦發生在系統端寫入狀態中，因為在儲存裝置處理系統端下達的寫入要求時，需以傳輸緩衝區暫存待解碼指令/位址以及寫入時伴隨產生的參考資訊，例如以紀錄叢集與磁區資料間對應關係的檔案配置表(File Allocation Table, 簡稱FAT)。但由於傳輸緩衝區的容量過小，造成系統端待寫入固態儲存媒體的資料僅能在微處理器自傳輸緩衝區取得指令/位址解碼以及將參考資訊寫入至固態儲存媒體後，待清空傳輸緩衝區後才通知系統端將待寫入的資料傳送過來。

綜上所述，目前所採用之矽儲存裝置存在有下列的缺陷：

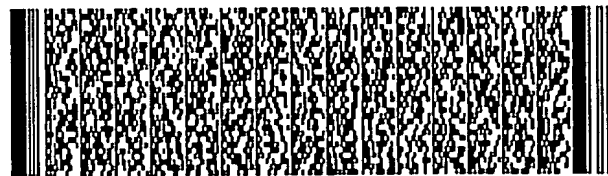
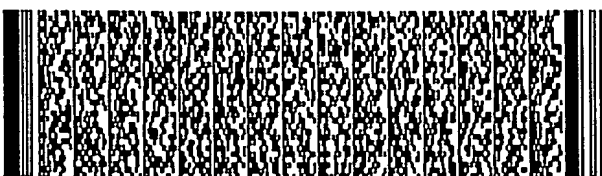
1. 傳輸緩衝區太小，在傳輸檔案的時候需要多次的存取操作才能完成，而多次的存取操作不僅造成儲存裝置中斷系統端的頻率變高，也使得整體的讀取次數相對增多。

2. 由於僅能依據系統端的指令而暫存指令所指定的資料，因此無法大量或有效的縮短儲存裝置所需的內部資料存取緩衝時間。

發明內容

本發明的目的就是在提出一種矽儲存裝置及其中之控制器與資料傳輸方法，藉以減少系統端等待的時間，有效地提升系統端與儲存裝置間整體的資料傳輸速度。

本發明的另一目的在提供一種矽儲存裝置及其中之控制器與資料傳輸方法，其藉由適當擴大其內部緩衝區的暫



五、發明說明 (6)

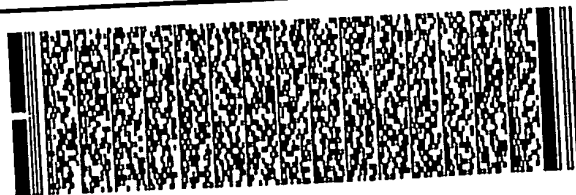
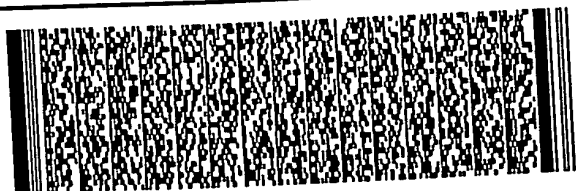
存量並施予特定的控制程序，如使該緩衝區具有預先讀取功能，不但使系統端的讀取頻率得以降低，且可減少儲存裝置內讀取時所需的搜尋次數。

本發明的再一目的在提供一種矽儲存裝置及其中之控制器與資料傳輸方法，其在執行寫入時，係使系統端在傳送寫入指令的同時亦同步進行待寫入資料的傳送，以使系統端無須閒置而可進行本身的其他處理作業。

本發明的又一目的在提供一種矽儲存裝置及其中之控制器與資料傳輸方法，其能使寫入時所伴隨產生的參考資訊（如檔案配置表FAT）不需隨著寫入指令的產生而時時更新其在固態儲存媒體中的內容，藉此進一步降低儲存裝置本身在執行寫入時所需的更新頻率，以真正達到提高系統端與儲存裝置間的整體執行效能。

為達成上述及其他目的，本發明提出一種矽儲存裝置。此儲存裝置包括固態儲存媒體與控制器，其中，固態儲存媒體用以儲存多個資料，控制器則耦接於固態儲存媒體，且當控制器接收到讀取指令時，其即預先儲存未由此讀取指令所要求之部分資料於控制器中。

本發明另提出一種矽儲存裝置的控制器，此控制器包括微處理器、系統介面、記憶體介面、傳輸緩衝區以及快取緩衝區。其中，系統介面用以由外界接收操作指令，而記憶體介面則耦接於固態儲存媒體；此外，傳輸緩衝區耦接至微處理器、記憶體介面與系統介面，而快取緩衝區則耦接至記憶體介面與系統介面。在此控制器中，當操作指



五、發明說明 (7)

令為讀取指令時，微處理器將參照資料存取位址對映表，以藉此預測未被讀取指令所指定之預存資料，並將此預存資料儲存於快取緩衝區中。之後，當系統介面接收到後續讀取指令時，微處理器就可比對預存資料是否與此後續讀取指令所欲存取的資料相符。

本發明還提出一種矽儲存裝置的控制器之資料傳輸方法。在此資料傳輸方法中，先由傳輸緩衝區接收由讀取指令所要求之第一資料，而在傳輸緩衝區飽和之後，微處理器即預測並儲存未被讀取指令所指定之第二資料於快取緩衝區，最後再比較此第二資料是否符合後續讀取指令所欲讀取的第三資料。

在本發明的一較佳實施例中，當系統欲讀取此儲存裝置時，控制器可預先將固態儲存媒體中尚未被系統指定讀取的資料連續備存於控制器的快取緩衝區中。當微處理器比對出後續讀取指令中欲讀取的資料係與暫時預存於快取緩衝區的連續區段資料位址相符時，即自預存有連續區段資料的快取緩衝區擷取這些連續區段資料並經由系統介面輸出。

在本發明的另一較佳實施例中，當系統欲寫入此儲存裝置時，在系統傳送寫入指令至傳輸緩衝區的同時，亦可將待寫入至固態儲存媒體的資料傳送至快取緩衝區暫存。如此一來，等待微處理器將指令解碼之後，即可將暫存於快取緩衝區的資料依據解碼後的位址寫入至固態儲存媒體，進而使系統端無須閒置而可進行本身的其他處理作



五、發明說明 (8)

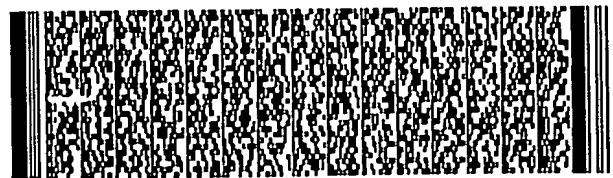
業。

在本發明的再一較佳實施例中，系統介面與記憶體介面之間設有用以暫存資料存取位址對映表之配置表緩衝區。在系統端讀取的資料為不連續性資料時，依此資料存取位址對映表的目錄，即可讓未被系統端指定讀取的非連續性資料預先備存於快取緩衝區，藉此提高暫存於傳輸緩衝區被讀取的命中率，進一步降低固態儲存媒體的搜尋頻率。

在上述實施例中，當系統端為寫入狀態時，可將必須隨時寫入指令更新對映表內容暫時存放於執行寫入較快的配置表緩衝區中，待系統端的存取作業告一段落或完成時，再將配置表緩衝區的資料存取位址對映表的內容一次寫入至固態儲存媒體中，藉此即無需每次都需將資料存取位址對映表的內容直接寫入至存取速度較差的固態儲存媒體中，進而縮短儲存裝置本身在執行寫入時需花費在其他非待寫入資料的更新時間。

在本發明的又一較佳實施例中，其中快取緩衝區配給以檔案最小的存取單位，例如叢集(Cluster)，為其儲存容量，藉以符合系統端的檔案存取需求，以減低系統端因儲存裝置可供給的存取量過少而增加的存取頻率。

綜上所述，本發明可預先備存固態儲存媒體中尚未被存取的資料，藉此減少微處理器搜尋固態儲存媒體的次數以提高傳輸執行效能。再者，藉由快取緩衝區以及配置表緩衝區的相互搭配，還可增加快取資料的命中率。此外，



五、發明說明 (9)

配置表緩衝區的利用還可以減少對固態儲存媒體的存取次數，間接可增進存取資料的速度。最後，本發明也適當的加大了快取緩衝區的容量，如此將可減少傳輸檔案時的存取操作次數，降低儲存裝置中斷系統端的頻率。藉由提供上述的優點與技術，本發明期可以記憶卡與隨身碟等儲存裝置取代現階段的軟式磁碟與光碟的主流地位。

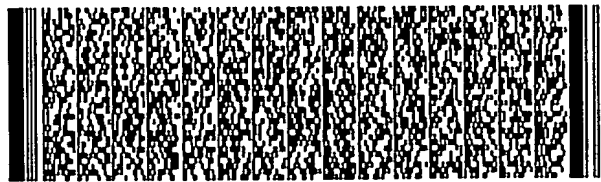
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2圖繪示依據本發明第一實施例的一種矽儲存裝置的電路方塊圖。請參照第2圖，矽儲存裝置200包括固態儲存媒體230以及控制器210；其中，控制器210更包括系統介面212、記憶體介面216、微處理器214、快取緩衝區220以及傳輸緩衝區218。

由第2圖可知，控制器210係耦接於固態儲存媒體230。此外，微處理器214耦接至系統介面212與記憶體介面216；傳輸緩衝區218耦接至微處理器214、記憶體介面216、系統介面212與快取緩衝區220；系統介面212連接外部系統端150，此外部系統端150例如為外接或內建式讀卡機以及轉接卡等。

在本實施例中，固態儲存媒體230係用來儲存資料，且此固態儲存媒體230是由多個磁區（Sector；512位元組）單位所組成，而每一磁區單位則可對應存放一個區段資



五、發明說明 (10)

料。傳輸緩衝區218則係暫存系統端150傳送之系統指令及此系統指令所欲存取之區段資料，且傳輸緩衝區218的容量設定多為僅具有1K位元組的儲存空間（即僅能容納兩筆區段資料的資料量）。再者，快取緩衝區220用以儲存一預存資料，且設計時為符合系統端150的檔案存取需求量，特將快取緩衝區220的容量設計為傳輸緩衝區218容量的數倍。換句話說，快取緩衝區220係由具多個磁區單位的檔案最小存取單位（如叢集）所構成。

在本發明之一較佳實施例中，快取緩衝區220與傳輸緩衝區218搭配使用，並合採交替式同步進行系統介面212與記憶體介面216間的資料輸出與輸入作業，以縮短或免除資料暫存於傳輸緩衝區218所需的緩衝時間。

舉例來說，由於在一般的狀況下，外部系統端150所讀取的資料在固態儲存媒體230中會以磁區位址相連續，或隸屬於同一檔案但分別儲存在非連續之磁區中的區段資料為主，為此，當矽儲存裝置200在讀取狀態，亦即，當矽儲存裝置200必須提供資料給外部系統端150的時候，快取緩衝區220所預存的區段資料也將以上述兩種區段資料為優先考量。藉此，由本發明所提出之快取緩衝區220可提供預先備存區段資料的功能，所以可以使矽儲存裝置200除了一般性的標準存取模式外，更能藉由快取緩衝區220的設置而具備有快取存取模式。

在快取存取模式下，若快取緩衝區220所要預存的只是固態儲存媒體230中與外部系統端150的讀取指令所指定

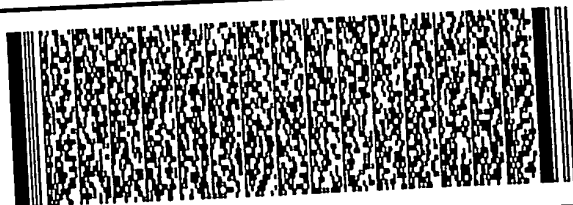
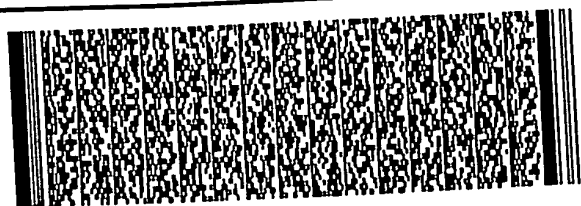


五、發明說明 (11)

的資料相連續之區段資料，則控制器210可以很輕易的根據讀取指令來決定預存入快取緩衝區220中的區段資料。然而，若快取緩衝區220所要預存的區段資料係隸屬於同一檔案但分別儲存在非連續之磁區中的區段資料，則建議參照如檔案配置表 (File Allocation Table, FAT) 等儲存有檔案與磁區之對應關係的資料存取位址對映表 (如第8圖所示者)。

由於在快取緩衝區220中預存了外部系統端150可能在後續指令中所要求的區段資料，因此在快取存取模式下，一旦外部系統端150對矽儲存裝置100下了後續讀取命令，且經控制器210之判斷發現快取緩衝區220中所預存的區段資料符合此後續讀取命令之要求時，控制器210即可直接將快取緩衝區220中所預存的區段資料上傳至外部系統端150，而無需如標準存取模式下的作業方式一般，在每接收一次讀取指令的情況下，即需根據此讀取指令的指示而從頭自固態儲存媒體230的搜尋作業開始進行，直至後續一連串的資料準備動作完成後才能提供資料。

第3A~3C圖繪示依據本發明第一實施例的一種矽儲存裝置的讀取動作示意圖。請合併參照第3A~3C圖。首先請參照第3A圖，當儲存裝置200的微處理器214接收到的第一系統指令係 $R(0,1)$ 時，經解碼及位址轉換後分別得知此系統指令係為讀取指令(R)、其讀取位址係為 $(0,1)$ ，接著固態儲存媒體120搜尋相對應的磁區位址，依據磁區位址0與1擷取對應的區段資料並暫存於傳輸緩衝區218。



五、發明說明 (12)

接著請參照第3B圖，由於傳輸緩衝區218僅能讀取兩筆區段資料的資料量，因此在儲存符合第一系統指令所需的資料之後，傳輸緩衝區218就會呈現容量飽和的狀態。此時，微處理器214即令傳輸緩衝區218將所承載的區段資料上傳至系統端150；在此同時，微處理器214還可以趁傳輸緩衝區218進行資料上傳以及外部系統端150因在消化處理該等區段資料而尚未傳入下一指令的期間，繼續自固態儲存媒體230中將接續在磁區1以後所對應的連續區段資料預先載入快取緩衝區220。因為快取緩衝區220的資料存量可達8個磁區單位，於是後續的八個連續磁區2~9所儲存的區段資料皆會被預先載入快取緩衝區220。

接下來請參照第3C圖，當外部系統端150再度下達系統指令，且經微處理器214指令解碼/位址轉換後與預先暫存於快取緩衝區220的區段資料部份或全部相符（此時稱為快取命中），則微處理器214就可以直接自快取緩衝區220將快取命中的區段資料經由系統介面212上傳至外部系統端150。

在上述的實施例中，微處理器214係採用連續的區段資料為預測儲存至快取緩衝區220之區段資料的依據。但正如前所述，微處理器214也可以採用隸屬於同一檔案之區段資料為其預測儲存之區段資料的依據。請合併參照第8圖，其中假設資料存取位址對映表的內容在某一檔案中包含了配置連結0，1與5共三個部分，而各部分所對應的實體位址分別包含編號為100~107、108~115以及140~



五、發明說明 (13)

147的叢集(Cluster)。則對於採用以隸屬於同一檔案之區段資料為其預測儲存之依據的微處理器214來說，剛開始的資料傳輸過程係如同前述之連續區段資料一般，在此不予贅述。然而，一旦開始將編號為115之叢集資料(包含八個連續的區段資料)傳遞給外部系統端150，則微處理器214就會根據資料存取位址對映表而主動至配置連結5，亦即儲存此檔案之第三個部分，所包含的編號140之叢集處取得此叢集所包含的各區段資料，並將所取得的該些區段資料視情況而分別儲存在傳輸緩衝區218或快取緩衝區220中。

藉由上述之存取模式，不但減少了矽儲存裝置200本身所需的資料搜尋時間與頻率，而且對於外部系統端150而言，由於矽儲存裝置200的資料搜尋時間可以在傳輸資料的同時進行，因此外部系統端150花費在等待資料的時間也可以明顯縮短，所以可以進一步提高整體的執行速度。而上述兩種不同的預測機制，則可以進一步協助微處理器214更精確的預測出後續讀取指令所可能需求的區段資料，使得快取命中率得以大幅提高。然而，必須注意的是，一旦接續在讀取指令之後的後續指令所指定的區段資料與快取緩衝區220中所預存的區段資料不相符，或是此後續指令是寫入指令，則微處理器214就必須清除快取緩衝區220中所預存的區段資料。

為使熟習此技藝者能輕易瞭解本發明之技術精神，請參照第3D圖，其繪示了依據本發明較佳實施例的一種矽儲



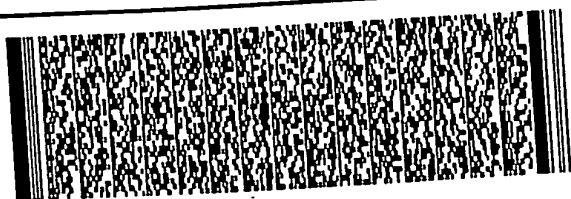
五、發明說明 (14)

存裝置的控制器之資料傳輸方法之流程圖。而為了解說上的需要，在本實施例中所用到的元件標號係以第3A圖所示者為準。

在本實施例中，首先係由傳輸緩衝區218自固態儲存媒體230中接收由讀取指令所要求之第一資料（即前述之磁區0，1所儲存的資料，如步驟S902所示）。其中，此讀取指令是由系統介面212所接收，之後微處理器214並從與記憶體介面216相連接的固態儲存媒體230中搜尋取出對應的第一資料，並將此第一資料儲存至傳輸緩衝區218。

接下來，當傳輸緩衝區218的容量飽和之後，微處理器214除了控制系統介面212將傳輸緩衝區218中所儲存的第一資料傳送給外部系統端150之外，還預測儲存未被讀取指令所指定之第二資料（即如第3B圖所示，由磁區2~9所儲存的資料），並預先自固態儲存媒體230將該些第二資料儲存至快取緩衝區220（步驟S904）。然後比較第二資料是否符合接續於讀取指令之後的後續讀取指令所欲讀取的第三資料（步驟S906）。如果第二資料與第三資料相符，則在第一資料傳輸完畢之後，即可將快取緩衝區220中所儲存的第二資料直接經由系統介面212傳輸至外部系統端150（步驟S908）；但如果第二資料與第三資料並不相符，則快取緩衝區220中所預存的區段資料將會被移除（步驟S910）。

接下來請參照第4A~4B圖，其繪示依據本發明第一實施例的矽儲存裝置的寫入動作示意圖。請參照第4A圖，當



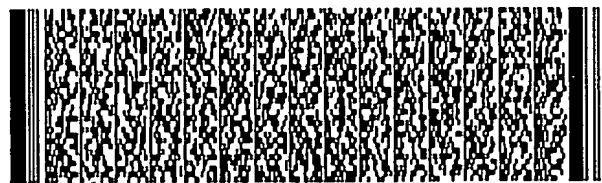
五、發明說明 (15)

傳輸緩衝區218接收外部系統端150的寫入指令，且微處理器214從傳輸緩衝區218擷取系統指令以進行指令解碼的同時，快取緩衝區220可同步持續接收外部系統端150傳送的待寫入區段資料。

接下來，請參照第4B圖，待微處理器214解碼完成時，即可直接自快取緩衝區220將暫存之待寫入區段資料經由記憶體介面216寫入至固態儲存媒體230之中。由於在本實施例中所採用的快取緩衝區220的儲存空間至少可滿足一叢集單位，因此可一次寫入相當大的資料至固態儲存媒體230。另外，如同讀取時的同步輸出入一般，在快取緩衝區220經由記憶體介面216傳送待寫入資料至固態儲存媒體230的同時，已清空的傳輸緩衝區218將可繼續接收外部系統端150所傳來的區段資料，藉此減少中斷外部系統端150以要求資料傳送的傳輸頻率與時間。

此外，當前述的寫入作業進行時，除了必須將待寫入區段資料寫入至固態儲存媒體230外，還必須視情況而隨時將與所寫入的區段資料相對應的對映位址更新至固態儲存媒體230內的資料存取位址對映表（或檔案配置表）內。再者，無論在讀出或寫入的過程中，參考資料存取位址對映表以取得實際位址的程序也是不可避免的。然而，如上的改寫或參考過程，對於整個存取操作而言無疑的將造成一定量的時間延遲。

為了解決這個問題，在本發明的一個實施例中係將資料存取位址對映表存放到存取速度較快的記憶體中，以藉

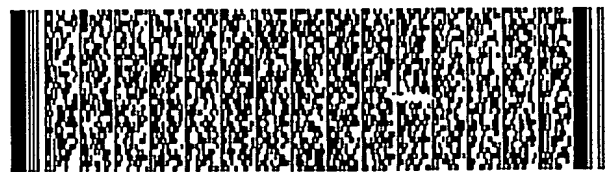


五、發明說明 (16)

此減少存取固態儲存媒體230的次數。請參照第5圖，其繪示了依據本發明第二實施例的一種矽儲存裝置的電路方塊圖。其中，為了減少對存取速度較慢的固態儲存媒體230進行的更新次數，本實施例係於系統介面212與記憶體介面216之間配置有配置表緩衝區510，且此配置表緩衝區510係用以儲存如FAT或第8圖所示之檔案配置連結表之類的資料存取位址對映表，而這些資料存取位址對映表則包含有所欲存取之檔案配置連結的叢集邏輯位址與矽儲存裝置200內之固態儲存媒體230的磁區實體位址間的對應參考。

藉由上述新增的配置表緩衝區510，在要修改資料存取位址對映表的內容時，只需要先對儲存在配置表緩衝區510中的部分做修正，而被修正過的部分可以在矽儲存裝置200閒置的時候才被寫入至固態儲存媒體230中，自然就減少了因為更新資料存取位址對映表所產生對於固態儲存媒體230的存取需求。再者，無論在讀/寫的過程中，僅需要參考儲存在配置表緩衝區510中的內容，就可以快速的得到所要存取之實際的記憶體位址，因此也同樣能夠大幅減少因參照資料存取位址對映表所產生對於固態儲存媒體230的存取需求。

第6A~6C圖繪示依據本發明較佳實施例的一種矽儲存裝置的讀取動作示意圖。請參照第6A~6C圖，在此實施例中，將本發明的快取模式配合新增的配置表緩衝區510作一詳述說明，此實施例中所舉例的檔案依序由檔案配置連



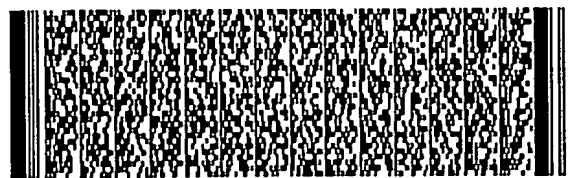
五、發明說明 (17)

結0 (叢集位址100 ~107) 、檔案配置連結1 (叢集位址108 ~115) 與檔案配置連結5 (叢集位址140 ~147) 所組成。

首先請參照第6A圖，當外部系統端150要開始讀取儲存在固態儲存媒體230的檔案之前，矽儲存裝置200內的微處理器214會預先將固態儲存媒體320的資料存取位址對映表複製一份存放於配置表緩衝區510中，然後依據從外部系統端150所傳送之讀取指令的指示，首先依序將此檔案配置連結0的叢集邏輯位址100中的各區段資料(sector data)自固態儲存媒體230擷取並暫存於傳輸緩衝區218。但由於傳輸緩衝區218的儲存量不足，僅能暫存叢集邏輯位址100中的兩個區段資料。

接著請參照第6B圖，當傳輸緩衝區218呈現飽和狀態時，隨即進行其中之區段資料的上傳作業；在此期間，微處理器214即在快取緩衝區220可負載的狀態下，先將此次外部系統端150所指定的檔案配置連結叢集邏輯位址100之中的其他六個區段資料暫存於快取緩衝區220中，並在快取緩衝區220仍有剩餘空間的情況下，亦將未由此次讀取指令所指定之叢集邏輯位址101中的兩個區段資料預存於快取緩衝區220。

請參照第6C圖，當外部系統端150進行指定剩餘區段資料的讀取作業時，微處理器214必須在將傳輸緩衝區218中的區段資料傳輸給外部系統端150之後，先將預先存入至快取緩衝區220的其他六個隸屬於叢集位址100的區段資



五、發明說明 (18)

料傳送給外部系統端。而當外部系統端150完成叢集資料100的接收與處理作業時，若仍下達讀取指令，且其欲讀取的區段資料位址與預存於快取緩衝區220的資料相同時（如叢集位址101），此時即為快取命中，而微處理器214就可以直接自快取緩衝區220上傳之前預先儲存的兩個隸屬於叢集位址101的區段資料。

再者，在快取緩衝區220因快取命中而開始進行資料上傳時，傳輸緩衝區218可繼續接收尚未載入快取緩衝區220之後續區段資料。例如，當之前快取緩衝區220只取得檔案配置連結0其中的叢集位址101的前兩個區段資料，即因快取命中而必須開始上傳該些區段資料，此時傳輸緩衝區218便可接收叢集位址101的後續區段資料。如此一來，一旦系統清空快取緩衝區220中之資料後，系統即可繼續自傳輸緩衝區218取得接續的區段資料。

接下來請參照第7A~7B圖，其繪示依據本發明較佳實施例的一種矽儲存裝置的寫入動作示意圖。請參照第7A圖，當傳輸緩衝區218接收由外部系統端150所傳來的寫入指令，以及微處理器214針對寫入指令進行解碼的同時，配置表緩衝區510中的對映表內容即跟隨每一寫入指令的傳送而更新。如此，將可使微處理器214在每次完成解碼時皆依配置表緩衝區510更新的對映表內容直接自快取緩衝區220將待寫入的區段資料經由記憶體介面216寫入固態儲存媒體230中。但是，對映表的內容並不會馬上被寫入固態儲存媒體230內，而是等待外部系統端150的寫入作業



五、發明說明 (19)

告一段落或完成時，再將配置表緩衝區510中的對映表內容更新至固態儲存媒體230（如第7B圖所示），藉此降低對固態儲存媒體230中的對映表進行更新的頻率。

綜上所述，本發明由於預先備存固態儲存媒體中尚未被指定使用的資料，因此可以減少搜尋固態儲存媒體的次數以提高傳輸執行效能。再者，快取緩衝區以及配置表緩衝區的相互搭配，除了可以增加快取資料的命中率之外，還可以在讀/寫的時候減少對固態儲存媒體的存取次數，間接的增進存取資料的速度。此外，適當加大的快取緩衝區的容量，可以減少傳輸檔案時的存取操作次數，降低儲存裝置中斷系統端的頻率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示的是習知儲存裝置之功能方塊圖。

第2圖繪示依據本發明第一實施例的一種矽儲存裝置的電路方塊圖。

第3A~3C圖繪示依據本發明第一實施例的一種矽儲存裝置的讀取動作示意圖。

第3D圖繪示依據本發明較佳實施例的一種矽儲存裝置的控制器之資料傳輸方法之流程圖。

第4A~4B圖繪示依據本發明第一實施例的一種矽儲存裝置的寫入動作示意圖。

第5圖繪示依據本發明第二實施例的一種矽儲存裝置的電路方塊圖。

第6A~6C圖繪示依據本發明較佳實施例的一種矽儲存裝置的讀取動作示意圖。

第7A~7B圖繪示依據本發明較佳實施例的一種矽儲存裝置的寫入動作示意圖。

第8圖繪示依據本發明較佳實施例的一種具高速執行效能之檔案配置連結表。

圖式標示說明：

100，200：矽儲存裝置

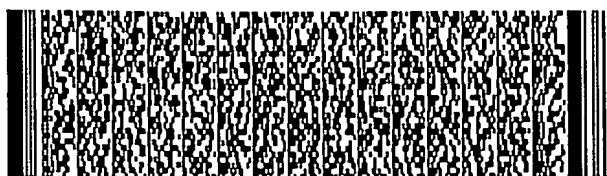
110，210：控制器

112，212：系統介面

114，214：微處理器

116，216：記憶體介面

118，218：傳輸緩衝區



圖式簡單說明

120 , 230 : 固態儲存媒體

150 : 外部系統端

220 : 快取緩衝區

510 : 配置表緩衝區

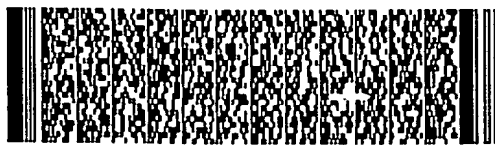
S902 : 傳輸緩衝區接收第一資料

S904 : 當傳輸緩衝區飽和之後，快取緩衝區儲存第二資料

S906 : 比較第二資料是否符合第三資料

S908 : 快取緩衝區輸出第二資料

S910 : 移除快取緩衝區中所儲存的第二資料



六、申請專利範圍

1. 一種矽儲存裝置，該矽儲存裝置包括：

一固態儲存媒體，用以儲存多個資料；以及

一控制器，耦接於該固態儲存媒體，且當該控制器接收到一讀取指令，該控制器即預先儲存未由該讀取指令所要求之部分該些資料於該控制器中。

2. 一種矽儲存裝置的控制器，包括：

一微處理器；

一系統介面，用以接收一操作指令；

一記憶體介面，耦接於一固態儲存媒體；

一傳輸緩衝區，耦接至該微處理器、該記憶體介面與該系統介面；以及

一快取緩衝區，耦接至該記憶體介面與該系統介面；

其中，該操作指令為一讀取指令時，該微處理器參照一資料存取位址對映表以預測儲存未被該讀取指令所指定之一預存資料於該快取緩衝區中，當該系統介面接收到該讀取指令的後續讀取指令時，該微處理器比對該預存資料是否與該讀取指令的後續讀取指令所欲存取的資料相符。

3. 如申請專利範圍第2項所述之矽儲存裝置的控制器，其中更包括一配置表緩衝區，耦接至該系統介面與該記憶體介面，用以儲存該資料存取位址對映表。

4. 如申請專利範圍第2項所述之矽儲存裝置的控制器，其中該快取緩衝區與該傳輸緩衝區的資料傳輸方式係以交替式同步進行。

5. 一種矽儲存裝置的控制器之資料傳輸方法，該矽儲



六、申請專利範圍

存裝置的控制器包括一傳輸緩衝區、一快取緩衝區、一配置表緩衝區、一系統介面與一記憶體介面，該資料傳輸方法包括下列步驟：

該傳輸緩衝區接收一讀取指令所要求之一第一資料；

當該傳輸緩衝區飽和之後，該快取緩衝區預測儲存未被該讀取指令所指定之一第二資料；以及

比較該第二資料是否符合該讀取指令的後續讀取指令所欲讀取的一第三資料。

6. 如申請專利範圍第5項所述之矽儲存裝置的控制器之資料傳輸方法，其中比較該第二資料是否符合該讀取指令的後續讀取指令所欲讀取的該第三資料的步驟更包括：

當該第二資料符合該第三資料時，則將該第二資料由該快取緩衝區輸出；以及

當該第二資料不符合該第三資料時，則將該第二資料從該快取緩衝區移除。

7. 如申請專利範圍第5項所述之矽儲存裝置的控制器之資料傳輸方法，其中該快取緩衝區係由至少一檔案最小存取單位所構成，且該檔案最小存取單位可存放多個區段資料。

8. 如申請專利範圍第5項所述之矽儲存裝置的控制器之資料傳輸方法，其中該快取緩衝區與該傳輸緩衝區的資料傳輸方式係以交替式同步進行。

9. 如申請專利範圍第5項所述之矽儲存裝置的控制器之資料傳輸方法，其中當該系統介面接收到一寫入指令以



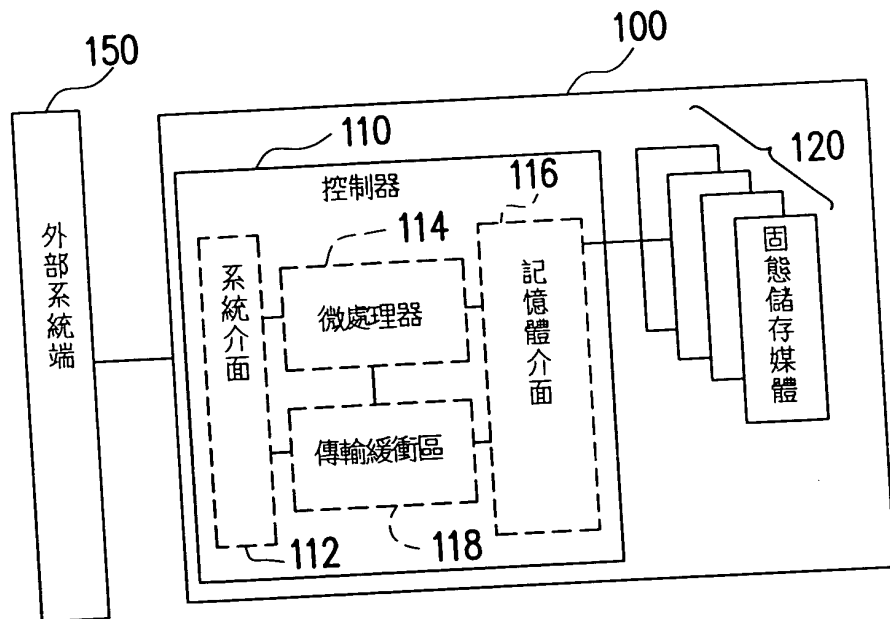
六、申請專利範圍

及該寫入指令欲寫入的一寫入資料時，該微處理器依照一資料存取位址對映表直接將該寫入資料經由該記憶體介面寫入至一固態儲存媒體，並當寫入作業告一段落或完成時，再將該資料存取位址對映表寫入至該固態儲存媒體。

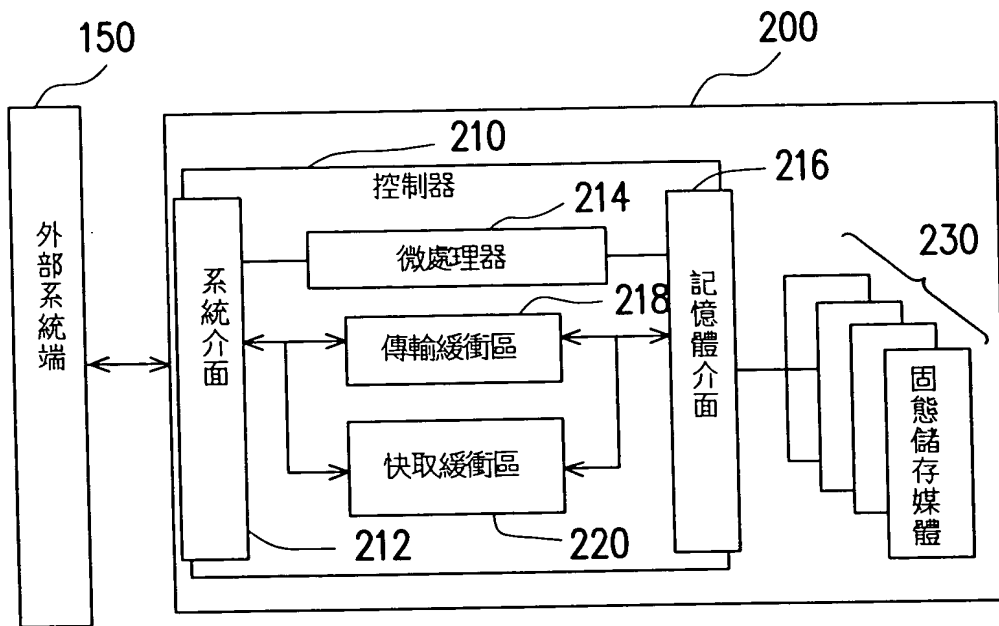
10. 如申請專利範圍第9項所述之矽儲存裝置的控制器之資料傳輸方法，其中該微處理器對該寫入指令進行解碼的同時，該快取緩衝區可同步持續接收該系統介面所傳送的該寫入資料，當該微處理器解碼完成時，即可直接自該快取緩衝區將該寫入資料經由該記憶體介面寫入至該固態儲存媒體。

11. 如申請專利範圍第9項所述之矽儲存裝置的控制器之資料傳輸方法，其中該資料位址對映表的內容則跟隨該每一該寫入指令的傳送而更新，該微處理器並依照該資料存取位址對映表的最新內容直接自該快取緩衝區將該寫入資料經由該記憶體介面寫入至該固態儲存媒體，最後當該系統介面的寫入作業告一段落時，再將該資料存取位址對映表寫入至該固態儲存媒體。

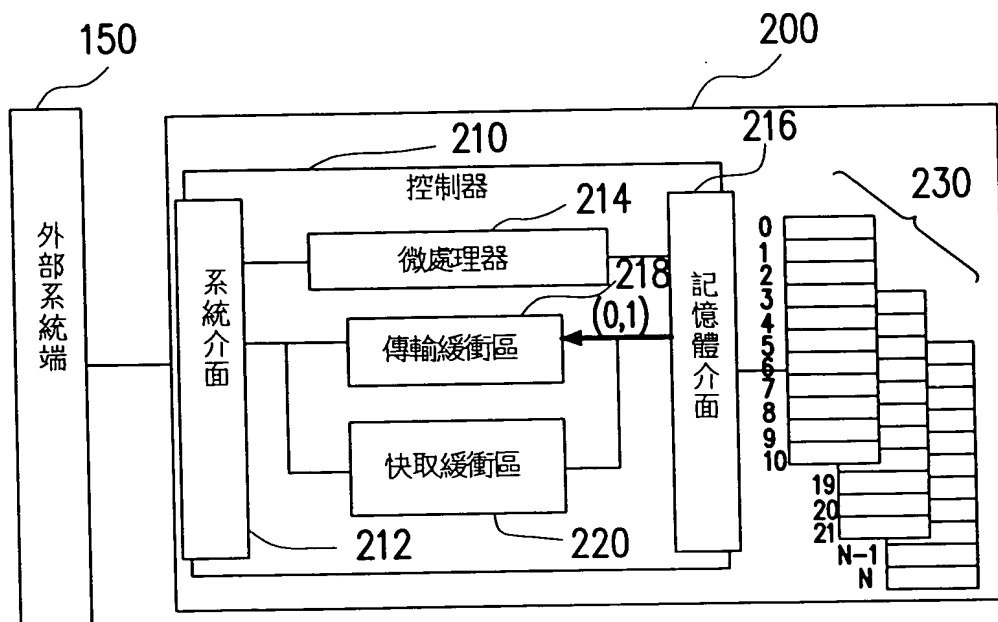




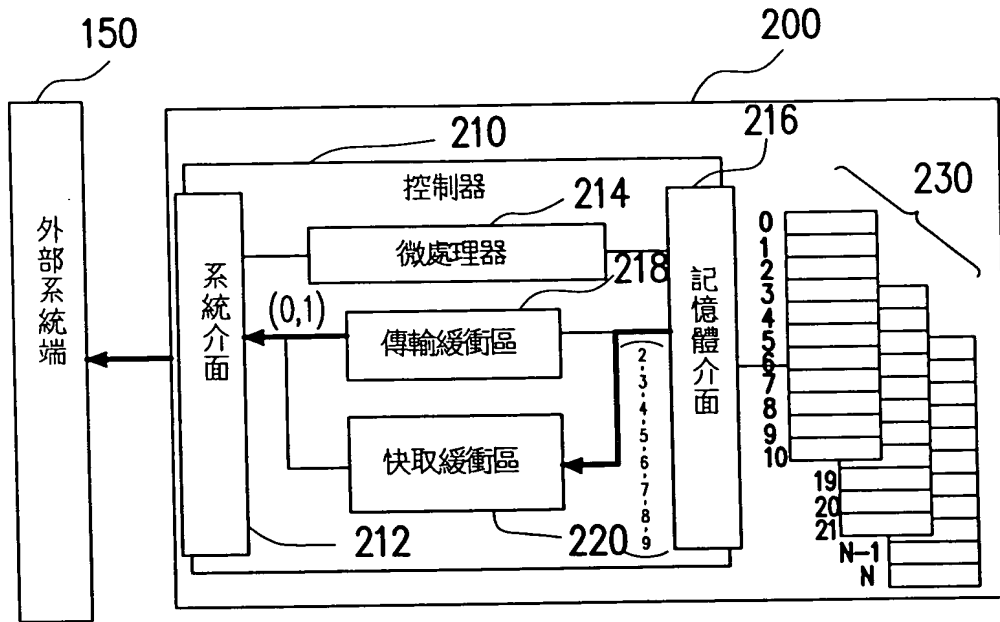
第 1 圖



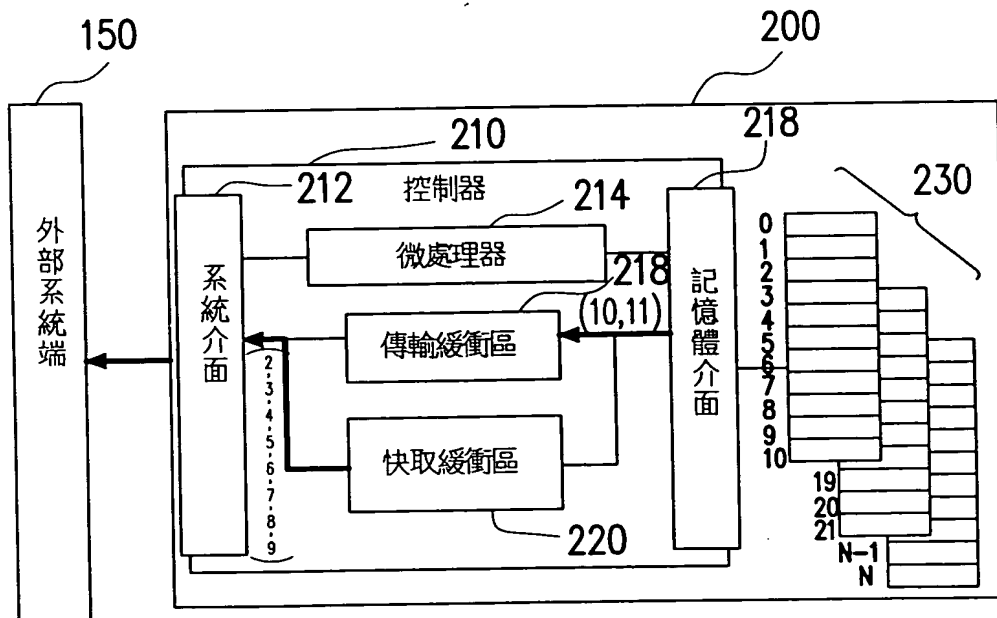
第 2 圖



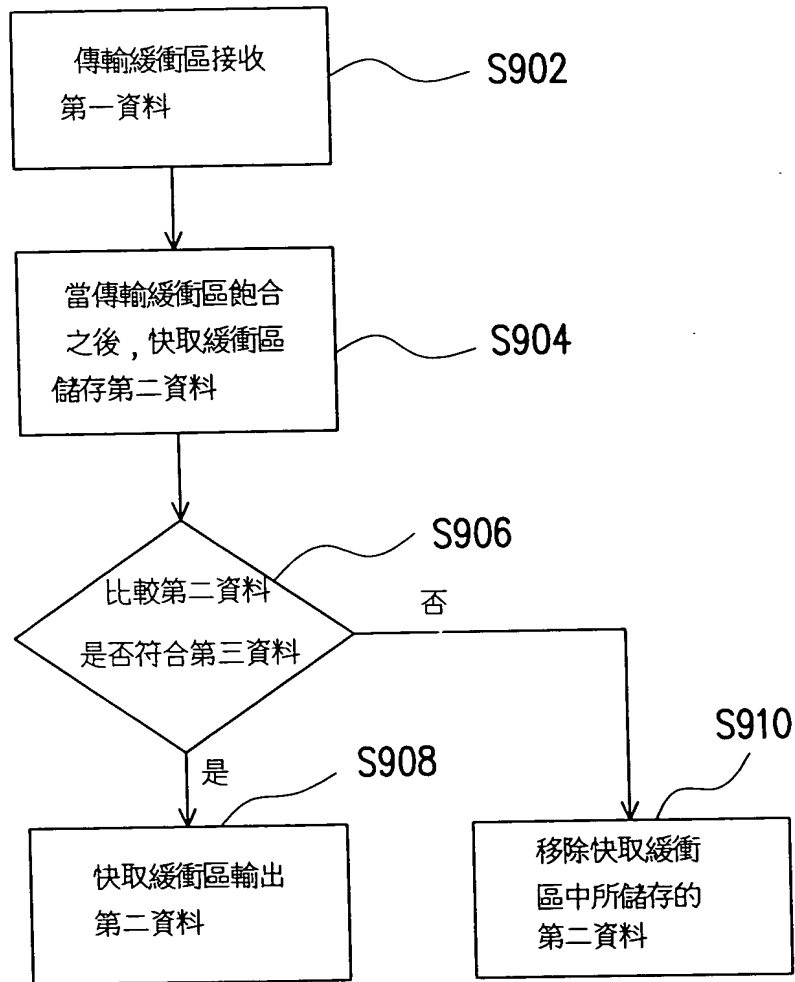
第 3A 圖



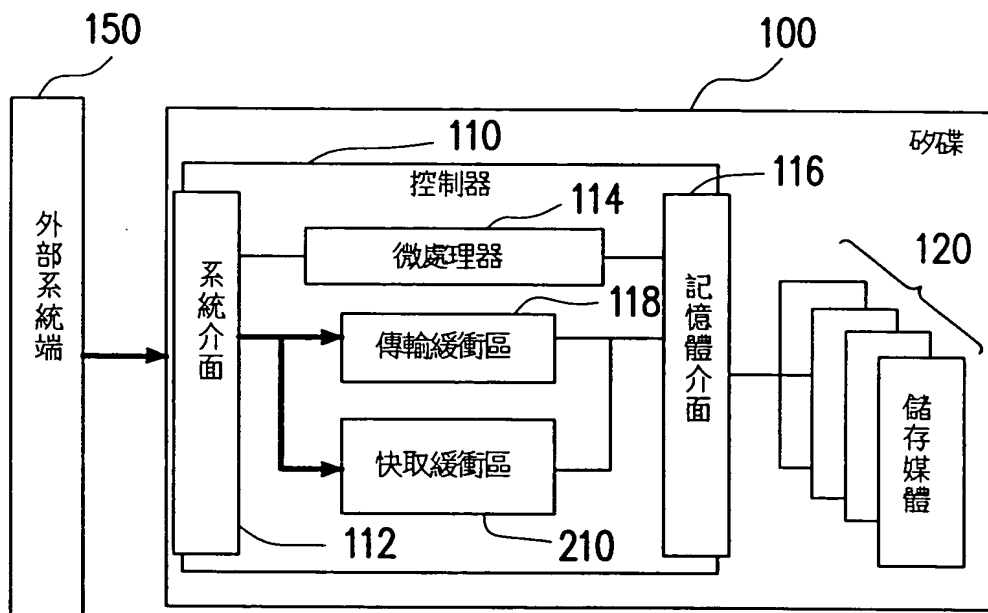
第 3B 圖



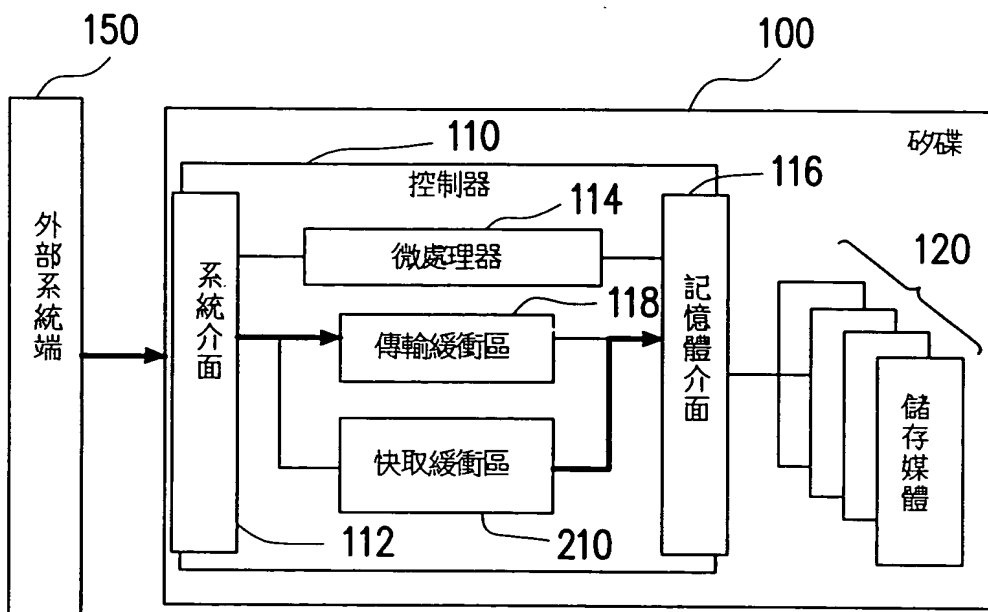
第 3C 圖



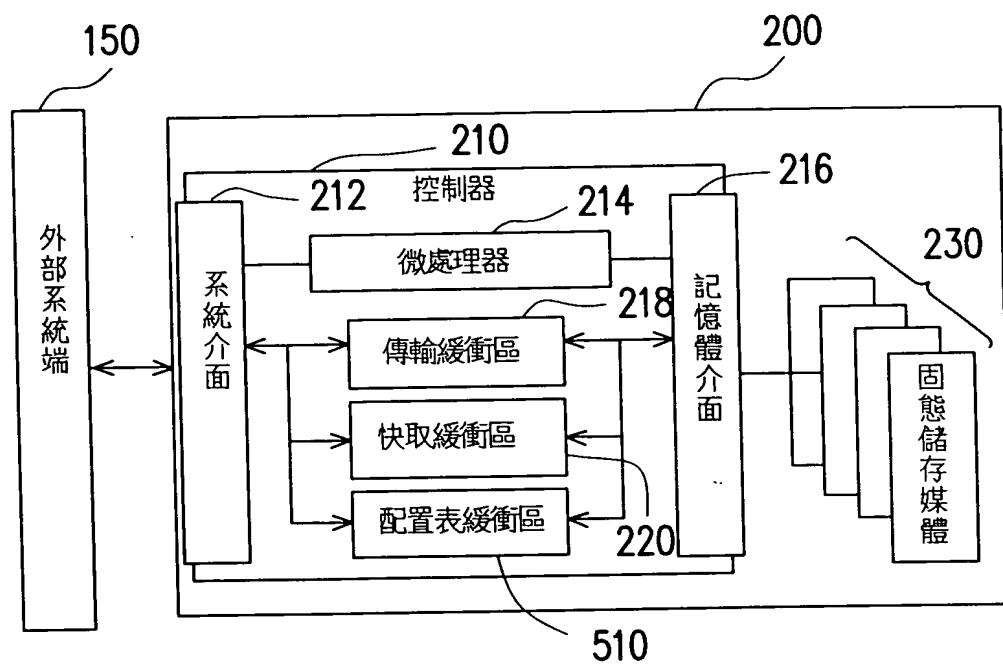
第 3D 圖



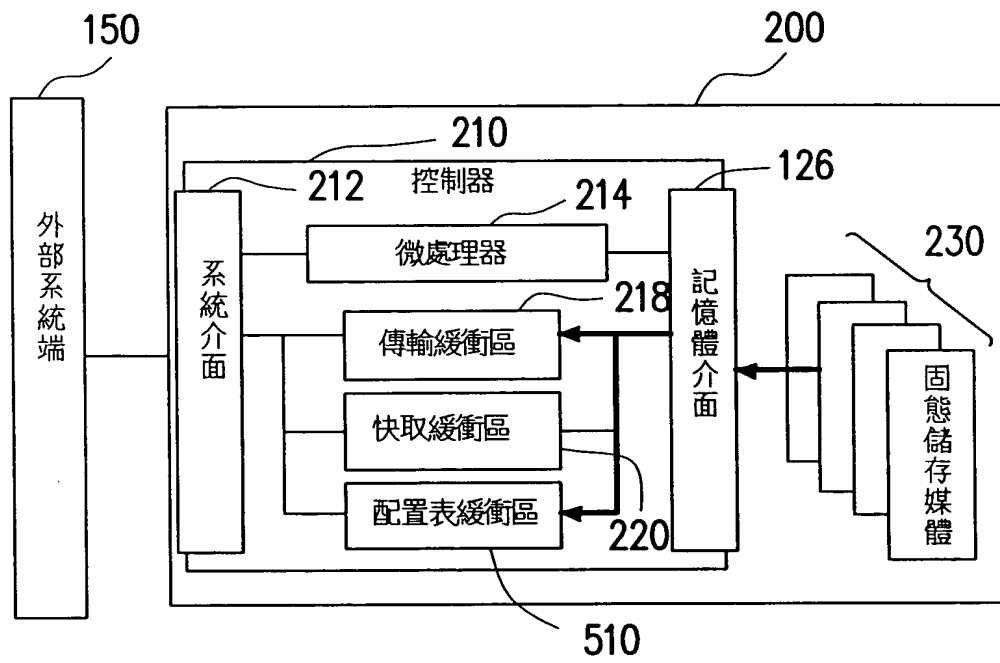
第 4A 圖



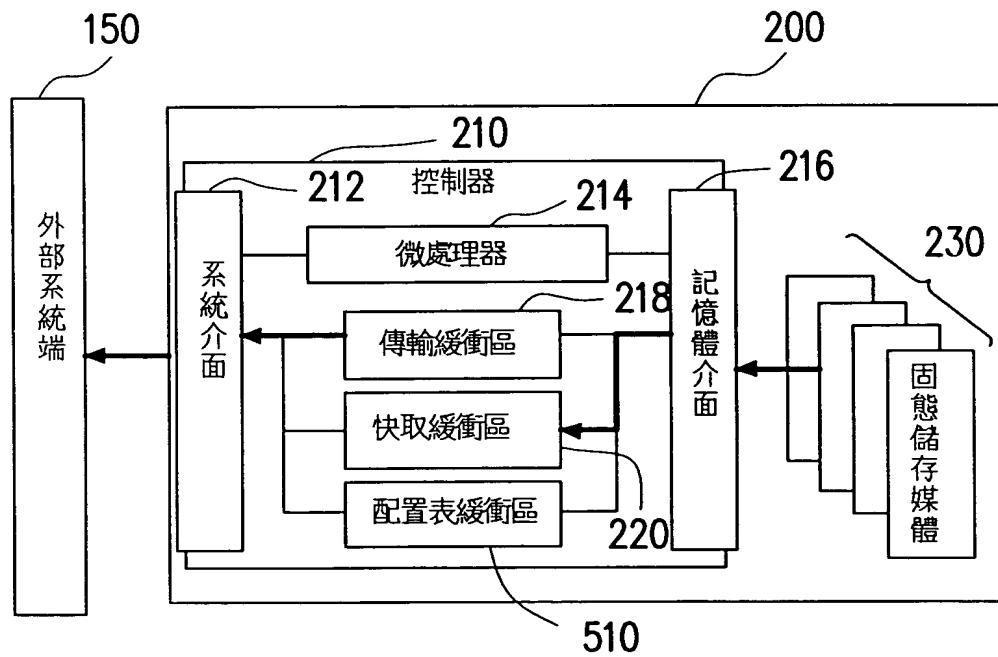
第 4B 圖



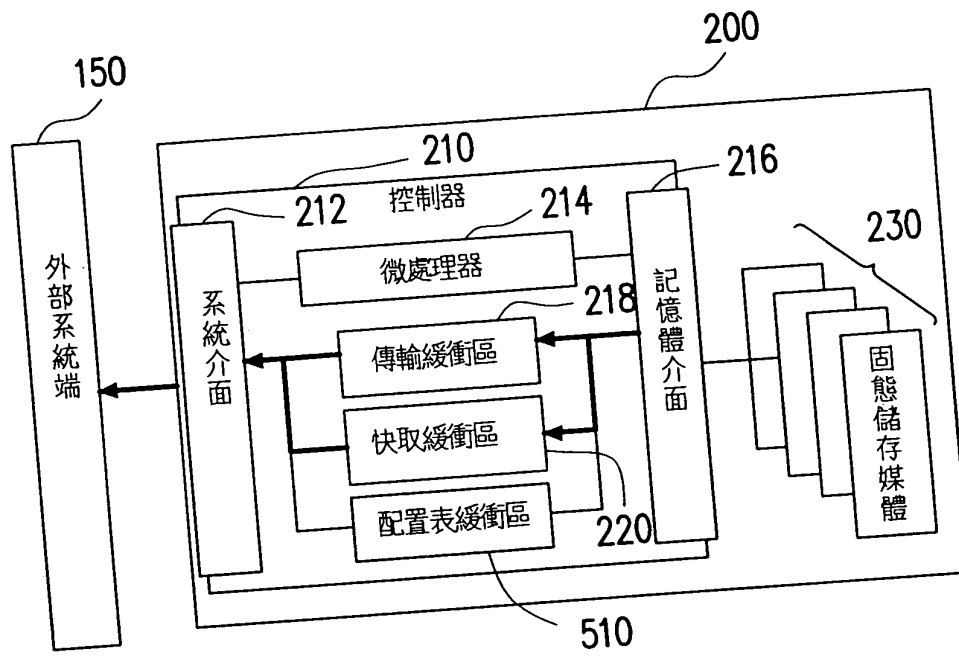
第 5 圖



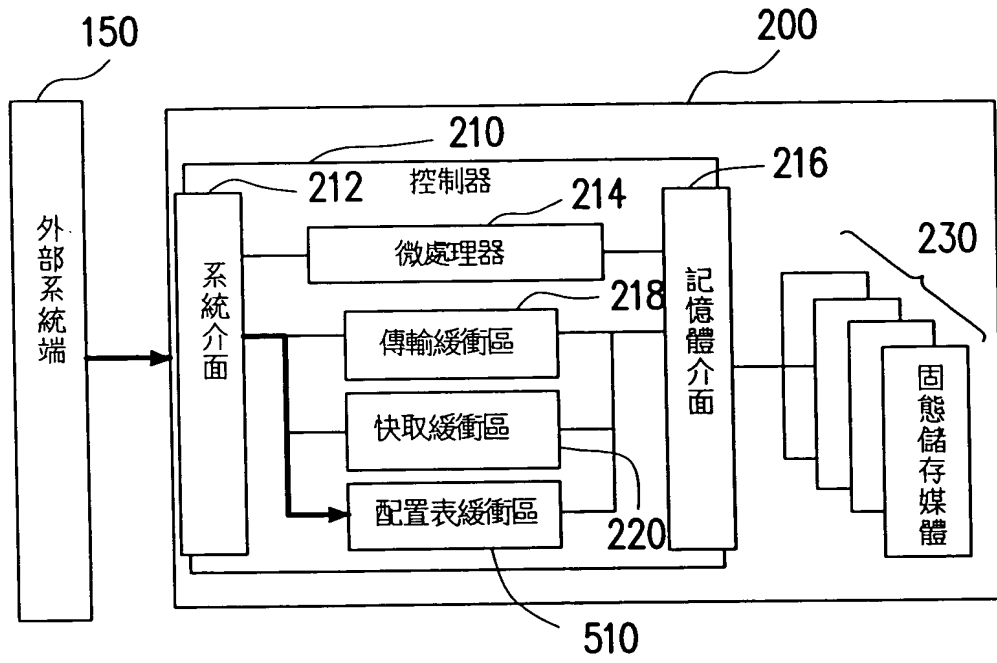
第 6A 圖



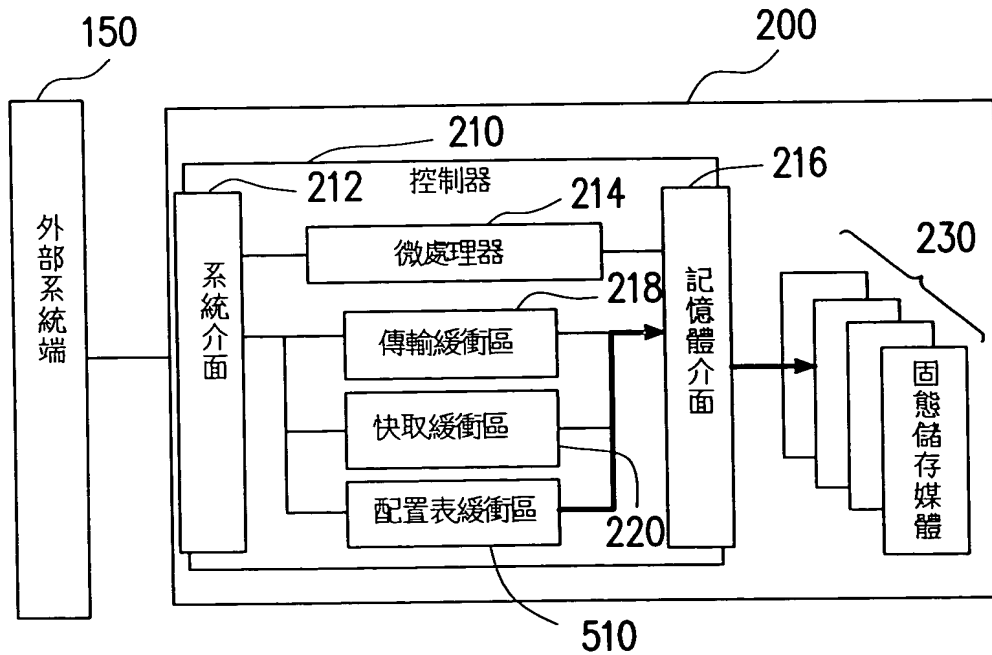
第 6B 圖



第 6C 圖



第7A圖

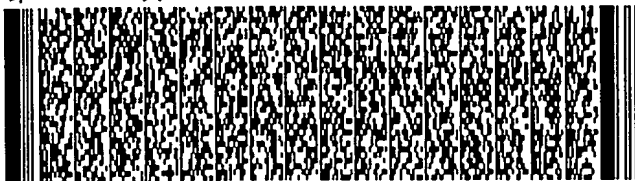


第7B圖

檔案配置連結	叢集位址
0/1	100,101,102,103,104~107
1/5	108~115
⋮	⋮
5	140~147
N	$(N+8+100)~$ $[(N+1)*8+100-1]$

第 8 圖

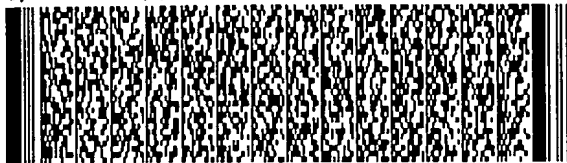
第 1/28 頁



第 2/28 頁



第 2/28 頁



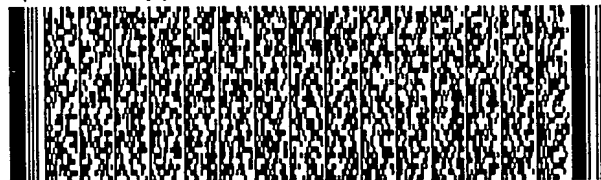
第 3/28 頁



第 4/28 頁



第 5/28 頁



第 5/28 頁



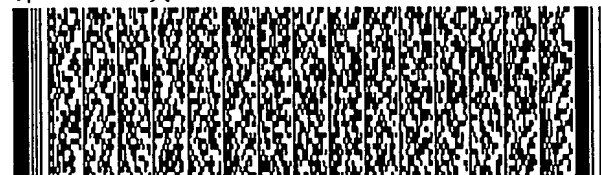
第 6/28 頁



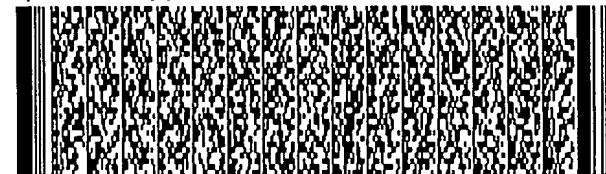
第 6/28 頁



第 7/28 頁



第 7/28 頁



第 8/28 頁



第 8/28 頁



第 9/28 頁



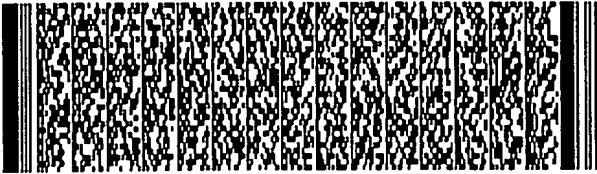
第 9/28 頁



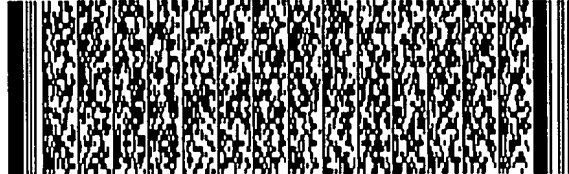
第 10/28 頁



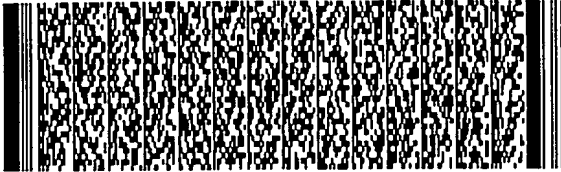
第 10/28 頁



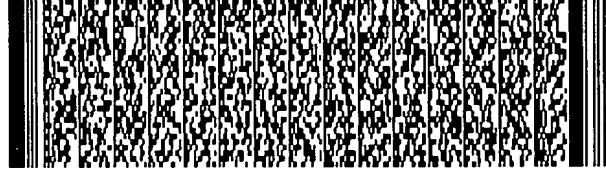
第 11/28 頁



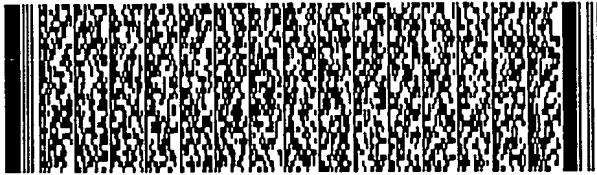
第 11/28 頁



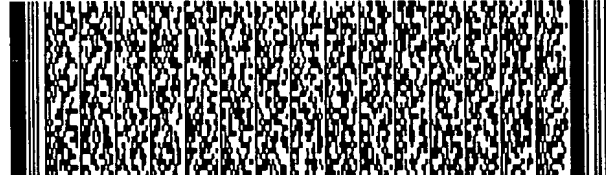
第 12/28 頁



第 12/28 頁



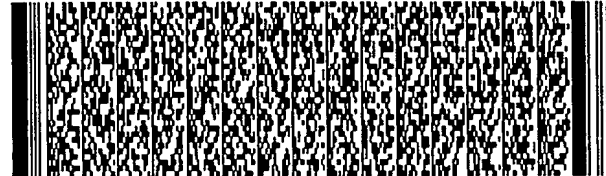
第 13/28 頁



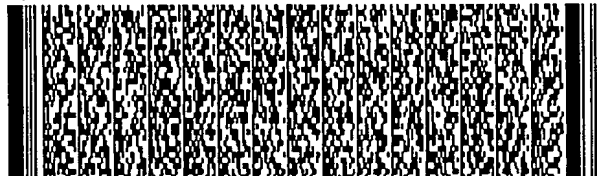
第 13/28 頁



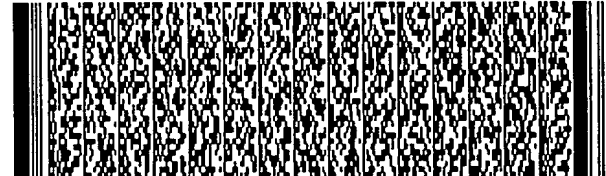
第 14/28 頁



第 14/28 頁



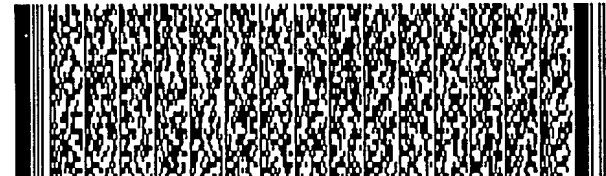
第 15/28 頁



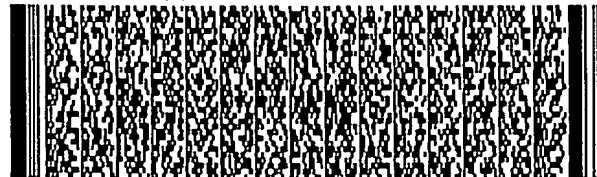
第 15/28 頁



第 16/28 頁



第 16/28 頁



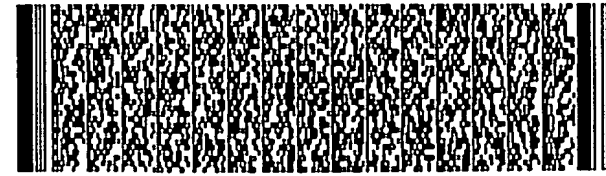
第 17/28 頁



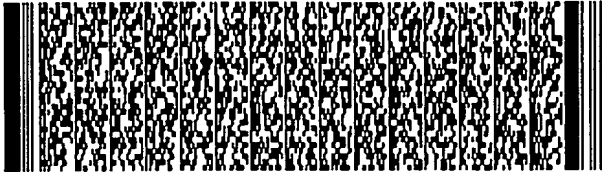
第 17/28 頁



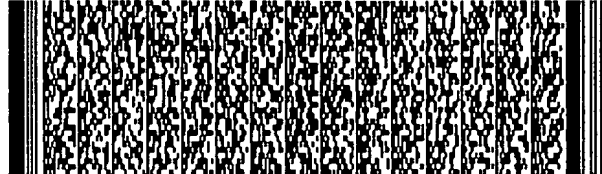
第 18/28 頁



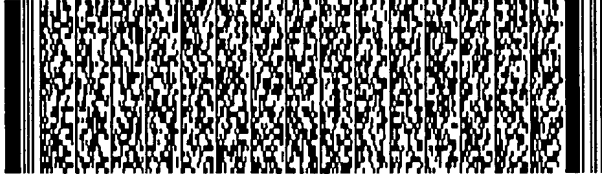
第 18/28 頁



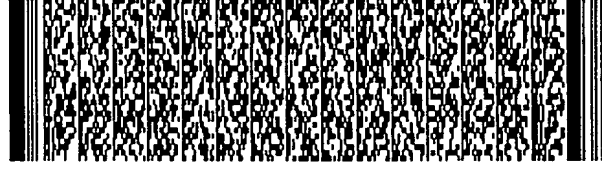
第 19/28 頁



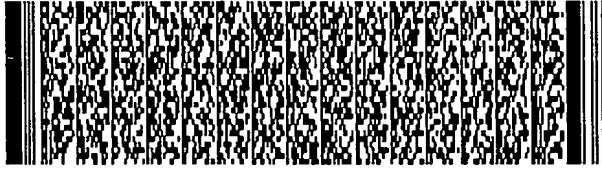
第 19/28 頁



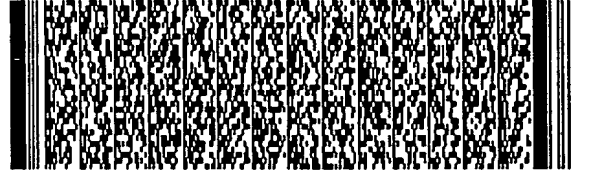
第 20/28 頁



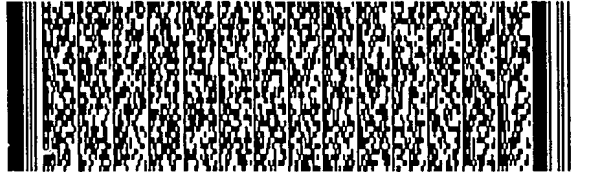
第 20/28 頁



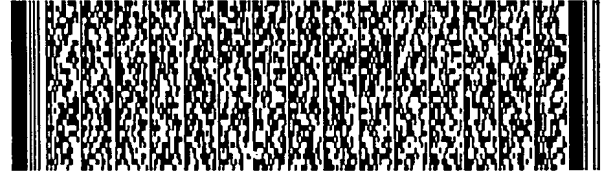
第 21/28 頁



第 21/28 頁



第 22/28 頁



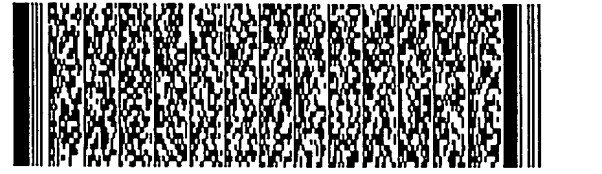
第 22/28 頁



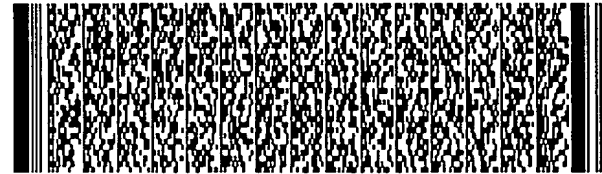
第 23/28 頁



第 23/28 頁



第 24/28 頁



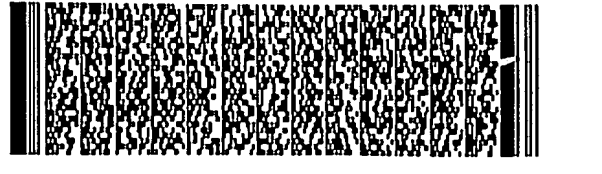
第 25/28 頁



第 26/28 頁



第 26/28 頁



第 27/28 頁



